

⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Patentschrift
⑪ DE 2404886 C2

⑤ Int. Cl. 3:
G06 F 9/46

⑳ Aktenzeichen: P 24 04 886.0-53
㉑ Anmeldetag: 1. 2. 74
㉒ Offenlegungstag: 8. 8. 74
㉓ Veröffentlichungstag
der Patenterteilung: 4. 4. 85

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

③① Unionspriorität: ③② ③③ ③①
01.02.73 FR 7303553

⑦⑤ Patentinhaber:
Réalisations et Etudes Electroniques R.2.E.,
Châtenay, Malabry, FR

⑦④ Vertreter:
Glawe, R., Dipl.-Ing. Dr.-Ing., 8000 München; Delfs,
K., Dipl.-Ing., 2000 Hamburg; Moll, W., Dipl.-Phys.
Dr.rer.nat., Pat.-Anw., 8000 München

⑦⑦ Erfinder:
Gernelle, Francois, Châtenay, Malabry, FR

⑤⑥ im Prüfungsverfahren entgegengehaltene
Druckschriften nach § 44 PatG:
DE-OS 22 10 704
US 35 94 732
IBM Technical Disclosure Bulletin, Vol. 15, No. 1,
Juni 1972, S. 74-76;

⑤④ Rechner für Realzeit-Anwendung

DE 2404886 C2

DE 2404886 C2

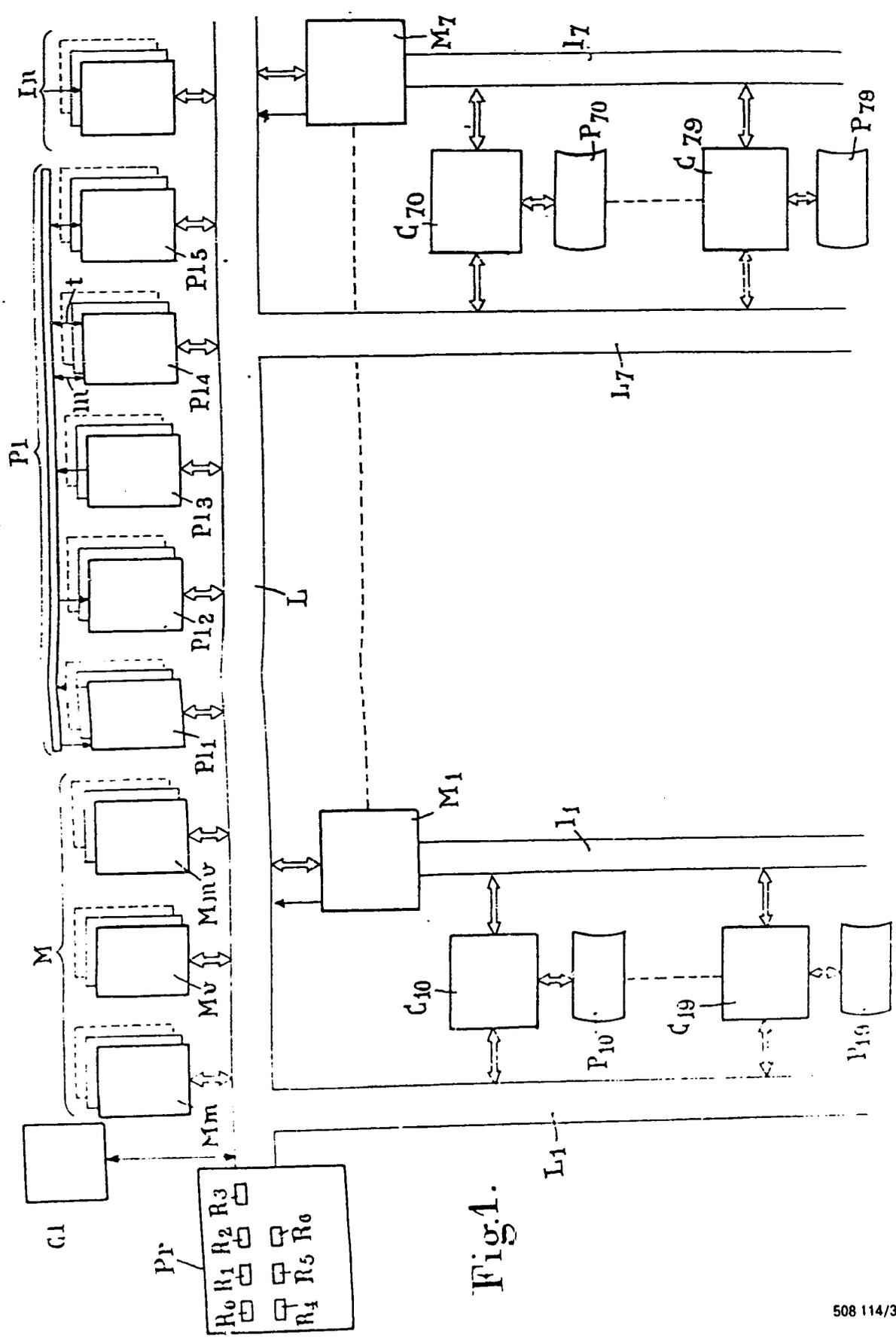


Fig. 1.

Patentansprüche:

1. Rechner für Realzeit-Anwendung, die geringe Rechenkapazität erfordert, insbesondere für die Steuerung von industriellen Anlagen, mit einem Prozessor, der eine geringe Anzahl (in der Größenordnung von zehn) von Registern aufweist, mit einem zentralen Speicher, mit Reservespeichern, die als vom Prozessor und vom zentralen Speicher getrennte Einheiten ausgebildet sind und eine Anzahl N von unabhängigen Registern aufweisen, mit Mitteln zum sukzessiven Unterbrechen eines laufenden Programms für die Ausführung von für die Realzeit-Anwendung nötigen Unterprogrammen gemäß einer vorgegebenen Hierarchie von Unterprogrammen, wobei diese Mittel bei der Unterbrechung des Programms oder Unterprogramms die Überführung des Inhalts aller Register des Prozessors in einen oder mehrere Reservespeicher sowie anschließend bei der Wiederaufnahme des unterbrochenen Programms oder Unterprogramms die Wiederbeschickung der Register des Prozessors durch Abfrage der Informationen aus dem oder den Reservespeichern steuern zum Zwecke der Wiederaufnahme der Ausführung des unterbrochenen Programms oder Unterprogramms an der Unterbrechungsstelle, dadurch gekennzeichnet, daß die Reservespeicher (M_1, M_2, \dots, M_7) mit dem Prozessor (Pr) durch einen Datenkanal (Omnibusleitung L) verbunden sind, und daß jeweils Einrichtungen (A, Co, D) zum sequentiellen Ansteuern der Register (r_1, r_2, \dots, r_N) eines Reservespeichers (M_1, M_2, \dots, M_7) und Einrichtungen (Z, G) zum Weiterhalten der Ansteuerung auf einen weiteren der Reservespeicher nach Ansteuerung des jeweils letzten Registers eines Reservespeichers vorgesehen sind.

2. Rechner nach Anspruch 1, dadurch gekennzeichnet, daß mindestens einige der Reservespeicher (M_1, \dots, M_7) zeitweise auch als Pufferspeicher in Kanälen für den Informationsaustausch zwischen dem Rechner und schnellen peripheren Einheiten (P_{10}, \dots, P_{14}) verwendbar sind.

3. Rechner nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß wenigstens einige der Reservespeicher (M_1, \dots, M_7) zeitweise auch als Zwischenspeicher für Zwischenergebnisse von Rechnungen und für Parameter von Unterprogrammen betreibbar sind.

4. Rechner nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß er als zentrale Speicher Festwertspeicher (Mm) für die Speicherung von Programm- und Unterprogrammbefehlen sowie Schreib/Lese-Speicher (Mv) für die Speicherung von Programm- und Unterprogrammparametern aufweist, die an seinen Datenkanal (Omnibusleitung L) angeschlossen sind.

5. Rechner nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß sein Datenkanal (L) an langsame periphere Einheiten (Pl), gegebenenfalls mit unterschiedlichen Anzahlen von Ein- und/oder Ausgängen, angeschlossen ist über Koppler (Pl_1, \dots, Pl_i) in Standardbauweise, die alle die gleiche vorgegebene Anzahl von Ein- und/oder Ausgängen aufweisen, die ihrerseits gleichartig ausgebildet sind.

6. Rechner nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß alle Leitungen seines Datenkanals (Omnibusleitung L) zu allen Anschlußstel-

len des genannten Datenkanals führen und daß diese Anschlußstellen untereinander identisch ausgeführt sind.

7. Rechner nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die den Prozessor bildenden Schaltungen auf derselben Schaltungsplatte untergebracht sind und daß der Datenkanal (Omnibusleitung L) durch eine gedruckte Schaltung gebildet ist.

Die Erfindung betrifft einen Rechner für Realzeit-Anwendung, die geringe Rechenkapazität erfordert, insbesondere für die Steuerung von industriellen Anlagen, mit einem Prozessor, der eine geringe Anzahl (in der Größenordnung von zehn) von Registern aufweist, mit einem zentralen Speicher, mit Reservespeichern, die als vom Prozessor und vom zentralen Speicher getrennte Einheiten ausgebildet sind und eine Anzahl N von unabhängigen Registern aufweisen, mit Mitteln zum sukzessiven Unterbrechen eines laufenden Programms für die Ausführung von für die Realzeit-Anwendung nötigen Unterprogrammen gemäß einer vorgegebenen Hierarchie von Unterprogrammen, wobei diese Mittel bei der Unterbrechung des Programms oder Unterprogramms die Überführung des Inhalts aller Register des Prozessors in einen oder mehrere Reservespeicher sowie anschließend bei der Wiederaufnahme des unterbrochenen Programms oder Unterprogramms die Wiederbeschickung der Register des Prozessors durch Abfrage der Informationen aus dem oder den Reservespeichern steuern zum Zwecke der Wiederaufnahme der Ausführung des unterbrochenen Programms oder Unterprogramms an der Unterbrechungsstelle.

Zu den Realzeit-Anwendungen, für die der Rechner gemäß der vorliegenden Erfindung vorgesehen sein kann, können als nicht einschränkende Beispiele genannt werden: die Prozeßsteuerung in der Industrie, wissenschaftliche Instrumentierung und Berechnung, Teleübertragung, die Verteilung von Fernsehprogrammen, Lehrzwecke und verschiedene Verwaltungsvorgänge in Realzeit, beispielsweise Lagerverwaltung in Realzeit.

Die derzeit unter den für die industrielle Prozeßsteuerung in erster Linie zur Verfügung stehenden Mittel sind zur Zeit von zwei Typen:

Zunächst die Rechner mit geringer Leistung, die sogenannten Kleinrechner oder Minirechner, deren Einsatz jedoch relativ kostspielig ist und deshalb auf die Steuerung von komplexen industriellen Anlagen beschränkt bleiben muß. Im übrigen sind diese Kleinrechner für diesen Zweck schlecht angepaßt, der einerseits die Steuerung und Bewältigung einer beträchtlichen Anzahl von Eingängen und Ausgängen, andererseits aber nur relativ einfache und wenig abundante Verarbeitungs- und Rechenvorgänge selbst erfordert. Nichts desto weniger ist ein Minirechner, der für die Steuerung einer industriellen Anlage verwendet wird, buchstäblich »bis zum Überlaufen« überlastet durch die vorrangige Handhabung und Verwaltung der Eingangs- und Ausgangsdaten, so daß im schließlich nur sehr wenig Zeit bleibt, um die zwingend notwendigen Datenverarbeitungsoperationen auszuführen. Ein solcher Kleinrechner ist deshalb außerordentlich schlecht für diesen Anwendungszweck geeignet.

Für die Steuerung einfacherer industrieller Anlagen

hat man auf die Anwendung von Kleinrechnern verzichtet und sich begnügt mit Steuerautomatiken, die mit elektromagnetischen Relais oder gleichwertigen Logikkomponenten bestückt sind. Man weiß jedoch, daß solche automatischen Steuerungen nur eine sehr geringe Flexibilität aufweisen, da sie nur Festwertspeicher aufweisen und es infolgedessen kaum möglich ist, ihr Programm während des Betriebes zu ändern.

Es existiert somit ein weiterer Bereich von industriellen Anlagen von mittlerer Größe, für deren Steuerung die Anwendung eines Kleinrechners zu aufwendig wäre, während eine hierfür verwendete Steuerautomatik außerordentlich kompliziert und kostspielig und auch von relativ geringer Verlässlichkeit wäre.

Die Erfindung ist dagegen auf Rechner gerichtet, die besonders gut für die Steuerung der erwähnten industriellen Anlagen von mittlerer Größe geeignet sind, da sie nur eine relativ geringe Rechenleistung besitzen und infolgedessen ihre Herstellungskosten und Betriebskosten gleichermaßen niedrig sind. Auf Grund der geringen Kosten können sie sogar für ganz einfache industrielle Anlagen verwendet werden anstelle der bisher üblichen Steuerautomatiken, denen gegenüber sie den wichtigen Vorteil aufweisen, daß sie eine größere Flexibilität der Steuerung gestatten, da sie wie jeder Rechner durch ein leicht modifizierbares Programm gesteuert sind. Ferner können sich leicht in Modulbauweise ausgeführt werden, so daß ihre Kapazität nach Belieben vergrößert werden kann; diese Rechner sind somit grundsätzlich auch zur Verwendung bei der Steuerung von sehr großen Industrieanlagen geeignet, anstelle der bisher zu diesem Zweck verwendeten Kleinrechner, denen gegenüber sie verschiedene Vorteile aufweisen, die später noch erläutert werden.

Die Erfindung geht aus von einem Rechner, der eingangs genannten Art (DE-OS 22 10 704). Bei diesem vorbekannten Rechner soll die Zahl der Programmunterbrechungen verkleinert werden, was dadurch erreicht wird, daß gleichzeitig immer gleich mehrere Unterprogramme oder sonstige Befehle ausgeführt werden, die sich während einer gewissen Zeit angesammelt haben, und nicht jedes Unterprogramm bzw. jeder Befehl während laufender Rechnungen eines anderen Programms, sobald dieses Unterprogramm bzw. der Befehl ausgeführt werden muß.

Zu diesem Zweck weist die Schaltung Reservespeicher 12A, 12B, ... 12N auf. Jeder dieser Reservespeicher ist dabei mit soviel Registern PL 1, PL 2, ... PL 16 versehen, wie dies der Zahl der Prioritätsstufen entspricht. Wenn Daten eines Programms mit einer vorgegebenen Prioritätsstufe aus den Registern 10A, 10B, ... 10N des Prozessors in diese Reservespeicher eingelesen oder aus den Reservespeichern in die entsprechenden Register des Prozessors eingelesen werden sollen, werden über das Prioritätsstufenregister die entsprechenden Register der Reservespeicher angesteuert. Auf diese Weise wird zwar Speicherplatz gespart, in dem sonst die Adressen der abgespeicherten Daten gespeichert werden müßten.

Der Nachteil besteht aber darin, daß jeder der Reservespeicher mit einer Leitung mit jeweils genau einem Register des Prozessors verbunden ist, so daß jeder Reservespeicher nur die Daten des mit ihm verbundenen Registers des Prozessors speichern oder abgeben kann.

Demgegenüber besteht die Aufgabe der Erfindung darin, einen gegenüber vorbekannten Rechnern einfacher aufgebauten und vielseitiger verwendbaren Rechner für Realzeitanwendungen, insbesondere für die

Steuerung von industriellen Anlagen zu schaffen.

Die erfindungsgemäße Lösung besteht darin, daß die Reservespeicher mit dem Prozessor durch einen Datenkanal (Omnibusleitung) verbunden sind, und daß jeweils Einrichtungen zum sequentiellen Ansteuern der Register eines Reservespeichers und Einrichtungen zum Weiterschalten der Ansteuerung auf einen weiteren der Reservespeicher nach Ansteuerung des jeweils letzten Registers eines Reservespeichers vorgesehen sind.

Der erfindungsgemäße Rechner ist wesentlich flexibler als der vorbekannte Rechner. Dabei können dann die einzelnen Register eines Reservespeichers sequentiell angesteuert werden, so daß die Daten (z. B. der Inhalt aller Register des Prozessors) nacheinander und sequentiell gespeichert werden können. Das Auslesen geschieht dann wieder in der umgekehrten Richtung. Wird beim Speichern oder Auslesen das letzte Register eines Reservespeichers erreicht, so wird durch eine Umschaltung dafür gesorgt, daß als nächstes Register das erste bzw. das letzte Register eines anderen Reservespeichers angesteuert wird.

Bei vielen vorbekannten Kleinrechnern, die für die Anwendungen in Realzeit verwendet worden sind, kann im Falle einer Unterbrechung des gerade ablaufenden Programms oder Unterprogramms nur der Inhalt einiger der Register des Prozessors in Schreib/Lesespeicher mit variablem Zugriff übertragen werden, da diese Übertragungen und die Rückübertragungen bei der Wiederaufnahme des unterbrochenen Programms oder Unterprogramms es erforderlich machen, daß bestimmte Register des Prozessors mit den Adressen der Übertragungsbereiche der genannten aktiven Speicher gefüllt bleiben. Beim erfindungsgemäßen Rechner dagegen wird der Inhalt aller Register des Prozessors in den oder die Reservespeicher übertragen, da zur Adressierung dieser letzteren nicht die Verwendung eines oder mehrerer der genannten Register des Prozessors erforderlich ist, weil nämlich jeder Reservespeicher aus einem Stapel von unabhängigen Registern aufgebaut ist, die sequentiell ansteuerbar sind und deren einzelne Adressen der Prozessor deshalb auch nicht zu kennen braucht.

Die Verwendung von Reservespeichern dieses besonderen Typs gestattet es deshalb, einen Rechner mit einer geringen Anzahl von Registern zu realisieren. Da ferner für die vorgesehenen Anwendungszwecke der erfindungsgemäße Rechner im übrigen sich mit einer relativ geringen Rechenkapazität begnügen kann, ist es möglich, seinen Prozessor aus einer kleinen Anzahl von integrierten Großschaltkreisen (LSI) aufzubauen, wodurch seine Herstellungskosten sehr niedrig werden, insbesondere niedriger als die der Prozessoren von bekannten Kleinrechnern.

Die Auswirkung der Reservespeicher auf die Gesamtkosten des erfindungsgemäßen Rechners kann weiter dadurch herabgesetzt werden, daß bei einer bevorzugten Ausführungsform des Rechners mindestens einige der Reservespeicher zusätzlich zeitweise in den Kanälen für den Informationsaustausch zwischen dem Rechner und schnellen peripheren Einheiten verwendet werden, wie dies in der mit gleichem Datum eingereichten Patentanmeldung P 24 04 887.1 beschrieben ist. Hierdurch wird der Ausnutzungsgrad dieser speziellen Speicher wesentlich gesteigert. Außerdem bietet diese bevorzugte Ausführungsform des erfindungsgemäßen Rechners vor allem den Vorteil, daß der Prozessor praktisch vollständig von der Steuerung und Verwaltung der zu den schnellen peripheren Einheiten gehörenden Da-

teinein- und -ausgänge entlastet wird, was, wie oben erwähnt vor allem für die zur Steuerung von Industrieprozessoren verwendeten Kleinrechner eine außerordentlich schwere Aufgabe ist. In seiner bevorzugten Ausführungsform ist der erfindungsgemäße Rechner deshalb wesentlich besser für die Steuerung von industriellen Prozessen geeignet als die bisher verwendeten Kleinrechner. Das beruht vor allem darauf, daß seine Rechenkapazität, die relativ gering, aber genau an die Erfordernisse der Steueraufgabe angepaßt ist, praktisch während der gesamten Zeit mit für die Steuerung notwendigen Rechenoperationen ausgenutzt wird, da die Verwaltung der peripheren Einheiten, insbesondere die der schnellen peripheren Einheiten, die am schwierigsten ist, nur noch sehr wenige, in großen Zeitabständen erfolgende Eingriffe des Prozessors erfordert, wie dies im einzelnen in der genannten gleichzeitigen Anmeldung beschrieben ist.

Gemäß einem anderen vorteilhaften Merkmal des erfindungsgemäßen Rechners können mindestens einige der Reservespeicher außerdem zeitweise als Zwischenspeicher für Zwischenresultate der Datenverarbeitung, für Parameter von Unterprogrammen usw. verwendet werden. Diese Anordnung vergrößert nicht nur ebenfalls den Ausnutzungswirkungsgrad der speziellen Reservespeicher, und verringert somit ihre Auswirkung auf die Gesamtkosten der Anlage, sondern diese Einsparung wird noch verstärkt durch die Möglichkeit, die Kapazität der Schreib/Lesespeicher, die für die Zwischenregistrierung der Zwischenresultate der Datenverarbeitung und der Parameter der Unterprogramme vorgesehen sind, herabzusetzen.

Nach einem anderen fakultativen, aber vorteilhaften Merkmal des erfindungsgemäßen Rechners weist dieser an seinen Hauptdatenkanal angeschlossene Festwertspeicher für die Registrierung von Befehlen des Programms und der Unterprogramme auf, sowie Schreib/Lesespeicher für die Registrierung der Programm- und Unterprogrammparameter. Dieses letztere Merkmal erleichtert beträchtlich die Verwendung des erfindungsgemäßen Rechners und macht ihn auch für nicht auf Datenverarbeitung spezial ausgebildetes Personal zugänglich, was vor allem für industrielle Anwendung besonders interessant ist. Tatsächlich gibt die Möglichkeit, die Programm- und Unterprogrammparameter beispielsweise durch Einstellung von Regelorganen auf dem Pult des Rechners zu verändern (was auch für nicht EDV-geschultes Personal möglich ist), dem Rechner eine Flexibilität der Funktion, die weitaus ausreichend für die vorgesehenen industriellen Anwendungen ist; die Informationsinhalte der Festwertspeicher können dabei gegebenenfalls leicht bei jedem Stillstand der gesteuerten Anlage verändert werden. Dagegen bieten die bisher für kleine Anlagen verwendeten Steuerautomatiken keine vergleichbare Flexibilität der Funktion, während die Kleinrechner für ihre Programmierung die Betätigung durch EDV-geschultes Personal benötigen.

Eine Ausführungsform des erfindungsgemäßen Rechners wird im folgenden anhand der Zeichnungen näher erläutert.

Fig. 1 zeigt ein Gesamtschema des Rechners.

Fig. 2 zeigt in einem Blockschema die Ausführung eines der gemäß Fig. 1 vorgesehenen Reservespeicher.

Der Rechner, dessen Gesamtschema in Fig. 1 wiedergegeben ist, weist eine Modulbauweise auf, die es ermöglicht, ohne Schwierigkeiten die Kapazität an die Größe der zu steuernden industriellen Anlage anzupassen. Er kann außerdem ohne wesentliche Abänderungen

für alle anderen Realzeit-Anwendungen, wie sie eingangs genannt worden sind, verwendet werden.

Sein Prozessor *Pr* kennzeichnet sich vor allem dadurch, daß er nur eine geringe Anzahl von Registern aufweist, beispielsweise sieben Register *R₁* bis *R₇*; es weist natürlich alle anderen notwendigen Schaltkreise und Stufen auf, um die verschiedenen Datenverarbeitungsoperationen auszuführen, wie sie in Rechnern dieser Art vorgesehen sind, d. h. insbesondere zur Durchführung von logischen Verknüpfungen, von Rechenoperationen usw., sowie einem Programmfolgezähler. Es ist nicht nötig, im einzelnen die Ausführung der verschiedenen Schaltungen und Elemente zu beschreiben, für die es verschiedene bekannte Möglichkeiten gibt. Es genügt die Angabe, daß die geringe Anzahl von Registern und die geringe Rechenleistung, die für den Prozessor *Pr* vorgesehen sind, eine Ausführung dieses Prozessors in wesentlich kompakterer Form ermöglichen als die der Prozessoren von bekannten Kleinrechnern, und zwar insbesondere dadurch, daß als Grundelement des Prozessors ein in sehr großem Maßstab integrierter Schaltkreis vom Typ MOS verwendet wird, wie beispielsweise der von der Firma INTEL vertriebene integrierte Schaltkreis vom Typ LSI 8008. Der so erhaltene hohe Grad von Integration hat selbstverständlich eine sehr günstige Auswirkung auf den Herstellungspreis des Prozessors *Pr*. Dank dieser weitgetriebenen Miniaturisierung war es möglich, alle Einheiten des Prozessors *Pr* auf derselben »Karte« oder Platine zu gruppieren und zusätzlich auf der gleichen Platine die spezielle, für den Realzeitbetrieb notwendige Uhr, alle auf dem Prozessorniveau nötigen Mittel zum Festlegen von acht Hierarchie-Niveaus der Programm- und Unterprogrammunterbrechung, und sogar eine automatische Startvorrichtung für den Rechner unterzubringen. Diese verschiedenen Elemente sind ebenfalls an sich bekannt, so daß es nicht erforderlich ist, sie im Detail zu beschreiben; jedoch ist ihre Integration auf der einzigen Platine bzw. »Chip« des Prozessors *Pr* eines der Überlegenheitsmerkmale des Rechners über die bisher für derartige Anwendungen benutzten Kleinrechner.

Der Prozessor *Pr* tauscht Informationen mit den anderen Bestandteilen des Rechners sowie mit den in an sich bekannter Weise angeschlossenen peripheren Einheiten über mindestens einen Datenkanal *L* (Omnibusleitung) aus. Man sieht aus der Fig. 1, daß an diesen Datenkanal *L* parallel zueinander das Pult *Cl* des Rechners, eine Gruppe von Speichern *M*, eine Gruppe von langsamen peripheren Einheiten *Pl*, die Unterbrechungseinheit *In* sowie ein oder mehrere Reservespeicher wie z. B. *M₁*, *M₂* ... *M₇* angeschlossen sind. Die Verbindungen zwischen dem Datenkanal *L* und den verschiedenen Elementen sind in Fig. 1 durch Doppelpfeile schematisiert, um anzuzeigen, daß diese Verbindungen den Informationsaustausch in beiden Richtungen gestatten. Dasselbe gilt bekanntlich für den Datenkanal *L*, wobei dieser ausschließlich für den Informationsaustausch in beiden Richtungen zwischen dem Prozessor *Pr* und jedem beliebigen der anderen, zuvor genannten Elemente des Rechners dient; es ist der Hinweis angebracht, daß diese Informationsaustauschvorgänge in keiner Weise durch die Verteilung der verschiedenen Verbindungen längs des Datenkanals beeinflusst werden; im übrigen ist diese räumliche Verteilung in Fig. 1 nur der besseren Klarheit halber gewählt worden und entspricht nicht der tatsächlichen Realität. Tatsächlich wird dieser Daten-»Kanal« in dem Rechner durch eine einzige gedruckte Schaltung realisiert, die die Verbin-

dung zwischen dem Prozessor *Pr* und den anderen Elementen des Rechners sicherstellt, ohne jeden Leitungsdraht. Mehrere Platinen mit einer derartigen gedruckten Schaltung, die jeweils einen Datenkanal bilden, können in den die höchste Rechenkapazität aufweisenden Ausführungsformen des Rechners vorgesehen sein.

Alle Leiter des Datenkanals *L* führen zu je einem der Anschlüsse dieses Kanals, an die jeweils die verschiedenen Elemente *Cl*, *Mm*, *Mv*, *Mmv*, *Pl*₁ bis *Pl*₅, *M*₁ bis *M*₇ des Rechners angeschlossen sind. All diese Anschlüsse sind untereinander identisch, so daß es möglich ist, an jedem Anschluß jedes beliebige der genannten Elemente des Rechners anzuschließen. Diese Standardisierung und gleichartige Ausbildung der Anschlüsse des Datenkanals *L* gewährleistet den vollständigen Modulcharakter des erfindungsgemäßen Rechners und erleichtert seine Anpassung für die vorgesehene Anwendung.

Bei der beschriebenen Ausführungsform bietet die Gesamtheit der Speicher *M* eine Gesamtkapazität von 16 Kilo-Oktetts mit direktem Zugriff. Diese Gesamtheit umfaßt:

- a) Festwertspeicher *Mm*, die im wesentlichen zum Registrieren der Programm- und Unterprogrammbefehle für die vorgesehene Anwendung verwendet werden; diese Befehle können somit nur während der Betriebsunterbrechungen des Rechners und damit der von ihm gesteuerten industriellen Anlage verändert werden; jeder Modul des Festwertspeichers, der beispielsweise eine Kapazität von 2 Kilo-Oktetts aufweist, ist durch eine Platine mit integrierten Schaltkreisen vom Typ MOS realisiert.
- b) Schreib/Lesespeicher *Mv*, die insbesondere zur Speicherung der Programm- und Unterprogrammparameter verwendet werden, die ihnen entweder vor der Inangabe des Rechners oder während verschiedener Phasen des Programmablaufs eingegeben werden, sowie ferner zur Speicherung der Zwischenresultate der Datenverarbeitung; vor dem Inbetriebsetzen des Rechners können einige der Schreib/Lesespeicher *Mv* auch verwendet werden für die Zusammenstellung und Aufbereitung der Programme jeder Modul des Schreib/Lesespeichers besteht beispielsweise aus einer Karte mit integrierten Schaltkreisen vom Typ MOS, mit einer Kapazität von 1 oder 2 Kilo-Oktetts.
- c) Gemischte Speicher *Mmv*, von denen jeder Modul auf der gleichen Platine mit integrierten Schaltkreisen vom genannten Typ beispielsweise 256 Oktetts eines Schreib/Lesespeichers und 1792 Oktetts eines Festwertspeichers trägt.

Die langsamen peripheren Einheiten, die in ihrer Gesamtheit mit *Pl* bezeichnet sind, sind nicht direkt an den Datenkanal *L* angeschlossen, sondern über Koppler, von denen verschiedene Typen vorgesehen sind, die jeweils an die verschiedenen Typen von langsamen peripheren Organen angepaßt sind, die allgemein an Rechner für die genannten Anwendungszwecke angeschlossen zu werden pflegen, insbesondere für die Steuerung von industriellen Prozessen.

Es sind insbesondere vorgesehen:

- a) Koppler *Pl*₁ mit 32 numerischen Eingängen und 32 numerischen Ausgängen;
- b) Eingangskoppler *Pl*₂, die nur 64 numerische Eingänge aufweisen;

- c) Ausgangskoppler *Pl*₃, die nur 64 numerische Ausgänge aufweisen;
- d) asynchrone universelle Koppler *Pl*₄, die mit den asynchronen Codes, wie sie beispielsweise für Fernschreiber verwendet werden, kompatibel sind; ein solcher Koppler hat beispielsweise einen Zugang für Fernschreiber *t* und einen Zugang für Modem (Modulator-Demodulator) *m*;
- e) einen oder mehrere spezielle Koppler *Pl*₅, insbesondere einen opto-elektronischen Koppler mit 32 Eingängen, einen Relaiskoppler mit 32 Ausgängen und verschiedene Leistungskoppler, die zur Einschaltung zwischen die Koppler mit numerischen Ein- und Ausgängen und die peripheren Einheiten wie z. B. Lesegeräte, Lochbandstanzgeräte, Drucker usw. bestimmt sind.

Es ist nicht erforderlich, im Detail die Ausführung jedes der verschiedenen Typen von Kopplern *Pl*₁ bis *Pl*₅ zu beschreiben, da diese im Prinzip bekannt sind. Es wird jedoch betont, daß die Familie von Kopplern, mit denen der Rechner ausgerüstet ist, einerseits genormt ist, d. h. sie umfaßt nur eine begrenzte Anzahl von Kopplertypen, von denen insbesondere die Anzahl der Eingänge und Ausgänge genau festgelegt ist, und daß andererseits die Eingänge und/oder Ausgänge jedes der Koppler dieser Familie »genormt«, d. h. gleichartig ausgebildet sind, was bedeutet, daß einige Eingänge oder Ausgänge eines Kopplers für den Anschluß einer peripheren Einheit vom geeigneten Typ verwendet werden können, während die anderen Eingänge oder Ausgänge des gleichen Kopplers gleichzeitig für den Anschluß eines oder mehrerer anderer peripherer Einheiten vom geeigneten Typ verwendet werden können, ohne daß hierdurch irgendeine Gefahr der gegenseitigen Beeinflussung oder Störung bei der Handhabung und Steuerung der Datenein- und -ausgabe am Ort des betrachteten Kopplers auftritt. Um dieses besonders vorteilhafte Merkmal des Kopplersystems, mit dem der erfindungsgemäße Rechner ausgerüstet ist, schematisch darzustellen, ist in Fig. 1 die Gesamtheit der langsamen peripheren Einheiten *Pl* durch einen einzigen Rechteckblock dargestellt, um den Eindruck zu vermeiden, als seien die verschiedenen Koppler *Pl*₁ bis *Pl*₅ und die verschiedenen langsamen peripheren Einheiten miteinander in ein- oder zweideutiger Zuordnung, d. h. in üblicher Weise, einander zugeordnet. Man erkennt, daß die Standardisierung der verschiedenen Typen von Kopplern und die Normierung oder gleichartige Ausbildung ihrer Ein- und Ausgänge, wie sie in dem Rechner vorgesehen sind, eine besondere Flexibilität bei der Anwendung dieses Rechners ergeben, da bei den vorgesehenen Anwendungen und insbesondere bei der Steuerung von Industrieanlagen die Anzahl der Einheiten und die Anzahl der verschiedenen Typen von peripheren Geräten, die gleichzeitig an den Rechner angeschlossen werden, sehr häufig schwanken, und zwar nicht nur von einer Anlage zur anderen, sondern häufig auch je nach den Besonderheiten des zu steuernden Prozesses.

Die Unterbrecherstufe *In* besteht aus einer Gesamtheit von Schaltkreisen, die von mindestens einer Platine getragen werden, und die die Mittel darstellen, um dem Prozessor *Pr* Unterbrechungssignale zuzuführen, die in der Lage sind, acht Hierarchie-Niveaus der Unterbrechung des Programms und der Unterprogramme während ihrer Ausführung festzulegen; da derartige Einrichtungen bereits bei Rechnern für Realzeitbetrieb bekannt sind, ist es nicht erforderlich, hier eine bestimmte

konkrete Ausführungsform zu beschreiben.

Es genügt die Angabe, daß der Prozessor Pr , nachdem er den letzten Befehl des gerade ausgeführten Unterbrechungs-Unterprogramms ausgeführt hat, ein Bestätigungssignal zur Unterbrechereinheit In aussendet, und daß dann der Prozessor die Ausführung des zuvor unterbrochenen Programms oder Unterprogramms an der Stelle der Unterbrechung wieder aufnimmt.

Jeder der Reservespeicher M_1 bis M_7 weist den in Fig. 2 für den Speicher M_1 dargestellten Aufbau auf; der Reservespeicher oder Ablegespeicher M_1 wird im wesentlichen gebildet durch eine Anzahl N von unabhängigen Registern $r_1, r_2 \dots r_N$, die untereinander identisch sind und die insbesondere die gleiche Kapazität, beispielsweise 8 Bits (1 Oktett), aufweisen. Diese verschiedenen Register r_1 bis r_N können auf verschiedene Weise ausgeführt sein, beispielsweise mit Magnetringkernen; integrierte Register vom Typ MOS sind jedoch besonders geeignet für diese Anwendung auf Grund ihrer geringen Abmessungen (Integration in großem Maßstab, LSI) und ihrer geringen Zugriffzeit.

Die Schreibeingänge, z. B. e_1 , aller N Register sind parallel zueinander an die Ausgänge eines ODER-Gatters OU angeschlossen, von dem eine erste Gruppe von Eingängen mit den Leitungen des Datenkanals L , die an der Informationsübertragung in Richtung der Reservespeicher M_1 beteiligt sind, verbunden ist, während die zweite Gruppe von Eingängen des ODER-Gatters OU an die Leitungen eines Omnibuskanals I_1 angeschlossen ist, dessen Funktion noch erläutert wird, wobei diese Leitungen ebenfalls der Datenübertragung in Richtung auf den Speicher M_1 entsprechen. Ferner sind die Leseausgänge, z. B. s_1 , aller Register r_1 bis r_N parallel zueinander an die Eingänge einer Weiche oder Verteilerstufe A angeschlossen, von der eine erste und eine zweite Gruppe von Ausgängen an diejenigen Leitungen der Datenkanäle L bzw. I_1 angeschlossen sind, die für die Datenübertragung aus der Richtung der Speicher wie z. B. M_1 vorgesehen sind. Die Verteilung der an die Eingänge des Verteilers A übertragenen Informationen auf dessen erste oder zweite Gruppe von Ausgängen wird gesteuert durch Informationen, die durch die Leitungen a bzw. a_1 der Datenkanäle L bzw. I_1 übertragen werden. Die Adresseneingänge, z. B. ad_1 , der verschiedenen Register r_1 bis r_N sind an die N Ausgänge eines Decoders D angeschlossen, dessen Eingänge jeweils an die verschiedenen Stufen eines binären Zählers C_0 angeschlossen sind, dessen Kapazität mindestens N beträgt. Dieser binäre Zähler C_0 weist einen Vorwärtsschalteneingang i und einen Rückwärtsschalteneingang d auf, die mit den beiden entsprechenden Ausgängen einer Befehlsstufe J verbunden sind, deren Funktionsweise noch erläutert wird.

Der vorstehend beschriebene Rechner gemäß den Fig. 1 und 2 arbeitet wie folgt:

Wenn der Prozessor Pr das in den Speichern M_m gespeicherte Programm ausführt und dabei zu einem bestimmten Zeitpunkt durch eine hierfür vorgesehene Leitung des Datenkanals L ein Steuersignal für die Unterbrechung des gerade ausgeführten Programms erhält, welches von der Unterbrechereinheit In ausgesendet wird, so erfolgt eine im allgemeinen unverzügliche Unterbrechung der in dem Prozessor in Gang befindlichen Operationen mit Hilfe von Blockierschaltungen von bekanntem Typ, die nicht im einzelnen beschrieben zu werden brauchen. Danach bewirken geeignete Schaltkreise des Prozessors, die ebenfalls bekannt sind, nacheinander die Übertragung des momentanen Inhaltes aller Register R_0 bis R_6 des Prozessors Pr auf die

vorstehend erwähnten Übertragungsleitungen des Datenkanals L , die an die erste Gruppe von Eingängen des ODER-Gatters OU der Fig. 2 angeschlossen sind. Diese Übertragung erfolgt im einzelnen in folgender Weise:
 5 Wenn beispielsweise jedes der Register R_0 bis R_6 des Prozessors Pr eine vorgegebene Anzahl von Oktetts enthalten kann, so wird zunächst das erste Oktett, welches im ersten Register R_0 enthalten ist, auf die erwähnten Übertragungsleitungen des Datenkanals L übertragen, während gleichzeitig eine spezielle Schaltstufe des Prozessors Pr über eine Leitung b des Datenkanals L , die mit einem ersten Steuereingang der Befehlsstufe J verbunden ist, einen Rechteckimpuls I ausschickt, dessen Vorderflanke zeitlich etwas vor dem Beginn der Übertragung des genannten Oktetts liegt, während seine hintere Flanke ein wenig nach der Beendigung dieser Übertragung erscheint. Die Befehlsstufe J ist in an sich bekannter Weise so ausgebildet, daß sie einen Impuls an den Vorwärtsschalteneingang i des binären Zählers C_0 abgibt in dem Augenblick, in dem die vordere Flanke des Rechteckimpulses I an der Leitung b erscheint. Wenn somit zu Beginn der betrachteten Übertragung der Speicher M_1 vollständig leer ist und ebenso der binäre Zähler C_0 , d. h. daß alle seine Stufen im Zustand null sind, dann bewirkt die Vorderflanke des ersten über die Leitung b vom Prozessor Pr ausgeschickten Impulses I die Abgabe eines Signals durch die Befehlsstufe J an den Vorwärtsschalteneingang i des Zählers C_0 , dessen erste Stufe somit in den Zustand 1 übergeht. Dies bewirkt die Aktivierung des ersten Ausganges des Decoders D und damit des Adresseneingangs ad_1 des ersten Registers r_1 des Speichers M_1 . In dieses Register r_1 wird somit das erste in dem Register R_0 des Prozessors Pr enthaltene Oktett anschließend übertragen, und zwar während der Dauer des Rechteckimpulses I , über die entsprechenden Leitungen des Datenkanals L über das ODER-Gatter OU und über den Schreibeingang e_1 des Registers r_1 . Der folgende Rechteckimpuls I , der von dem Prozessor Pr über die Leitung b abgegeben wird, bewirkt eine neue Fortschaltung des binären Zählers C_0 und damit die Aktivierung des zweiten Ausganges des Decoders D , der das zweite Register r_2 des Speichers M_1 ansteuert. In diesem zweiten Register wird somit anschließend das zweite Oktett, das in dem Register R_0 des Prozessors Pr enthalten ist, eingespeichert oder auch das erste Oktett des folgenden Registers R_1 des Prozessors, wenn das Register R_0 nur ein einziges Oktett enthält. Jedenfalls wird, wenn das erste Register R_0 des Prozessors Pr auf die zuvor beschriebene Weise entleert worden ist, durch automatisch arbeitende Mittel bekannter Art, die nicht beschrieben zu werden brauchen, sofort ohne Unterbrechung die anschließende Übertragung des Inhalts des zweiten Registers R_1 in der zuvor beschriebenen Weise bewirkt, d. h. derart, daß das erste in dem Register R_1 enthaltene Oktett in dasjenige Register des Speichers M_1 übertragen wird, dessen Ordnungszahl um eins höher ist als diejenige des Registers, in welchem zuvor das letzte Oktett aus dem Register R_0 eingespeichert worden ist. Dieser Prozeß setzt sich dann automatisch für die Register R_1 bis R_6 des Prozessors Pr fort.

Wenn das Register r_N des Reservespeichers M_1 vom letzten Ausgang des Decoders D angesteuert wird, bevor das letzte Register R_6 des Prozessors Pr oder eines seiner vorhergehenden Register vollständig entleert worden ist, überträgt eine Leitung z (in Fig. 2 gestrichelt) dieses Adressensignal als Steuersignal zu einer Weiche oder Verteilerstufe G (ebenfalls gestrichelt)

derart, daß die Eingänge dieser Verteilerstufe G , die mit den Ausgängen des ODER-Gatters OU verbunden sind, nun nicht an die Schreibeingänge e_1 bis e_N der N Register des Speichers M_1 angeschlossen werden, wie zuvor, sondern nunmehr an die Schreibeingänge der N Register des Reservespeichers M_2 (Fig. 1) angeschlossen werden, so daß die Übertragung des restlichen Inhaltes der verschiedenen Register des Prozessors Pr und insbesondere seines letzten Registers R_6 nunmehr in Richtung auf den genannten Speicher M_2 erfolgt, dessen verschiedene Register r_1 bis r_N ihrerseits der Reihe nach gefüllt werden in der Reihenfolge ihrer Stapelung, wie dies zuvor beim Speicher M_1 beschrieben wurde. Mehrere der anderen Speicher M_3 bis M_7 können ebenfalls zum gleichen Zweck verwendet werden.

Man erinnert sich, daß bei üblichen Kleinrechnern im Falle einer Programmunterbrechung die Aufbewahrung des Inhalts der Register des Prozessors, die für die spätere Wiederaufnahme des unterbrochenen Programms erforderlich ist, durch Übertragung dieses Inhaltes in Schreib/Leserspeicher erfolgt, und daß infolgedessen die Adressen der verschiedenen Bereiche der Schreib/Leserspeicher, in die der Inhalt der verschiedenen Register des Prozessors übertragen worden ist, in dem Prozessor selbst aufbewahrt werden müssen, um ihm das Wiederauffinden dieser Informationen im Augenblick der Wiederaufnahme des unterbrochenen Programms zu ermöglichen. Hieraus folgt, daß bestimmte Register des Prozessors während der Ausführung eines in die Unterbrechung fallenden Unterprogramms ständig durch die genannten Adressen belegt bleiben müssen. Man erkennt, daß diese Notwendigkeit in keiner Weise verträglich ist mit einer wesentlichen Herabsetzung der Anzahl der Register des Prozessors im Hinblick auf eine Herabsetzung der Kosten und des Betriebsaufwandes. Wenn z. B. der Prozessor eines solchen Minirechners nur etwa zehn Register aufweist, dann wäre die Anzahl der Register, die während der Ausführung eines Unterbrechungs-Unterprogramms nicht von den Informationsadressen, die für die Wiederaufnahme des unterbrochenen Programms notwendig sind, belegt wären, viel zu gering, um eine wirksame Ausführung des Unterbrechungs-Unterprogramms zu gewährleisten. Diese Grenze für die mögliche Herabsetzung der Anzahl der Register des Prozessors eines Kleinrechners wird um so schneller erreicht, je größer die Anzahl der vorgesehenen Hierarchie-Niveaus für Unterbrechungen ist, denn z. B. bei der Ausführung eines Unterprogramms, welches vorhergehende Unterbrechungen des Hauptprogramms und zweier Unterprogramme von niedrigerem Hierarchie-Niveau erforderlich gemacht hat, ist eine beträchtliche Anzahl von Registern des Prozessors erforderlich, um alle Adressen für die Aufbewahrung der Inhalte der Register im Augenblick der Unterbrechung des Programms und der Unterbrechungen der beiden Unterprogramme zu speichern. Dagegen wird beim erfindungsgemäßen Rechner, wenn das gerade auszuführende Programm durch den Prozessor Pr unterbrochen wird, der Inhalt der Gesamtheit der Register R_0 bis R_6 in einen oder mehrere Reserve- oder Ablegespeicher M_1 ... M_7 übertragen, ohne daß es nötig ist, die entsprechenden Adressen in bestimmten Registern R_0 bis R_6 des Prozessors zu speichern, um die Reservespeicher anzusteuern; die einzige aufzubewahrende Adresse nach jeder aufeinanderfolgenden Übertragung bei einer Programmunterbrechung ist die Ordnungszahl des Reservespeichers, in welchen das letzte im Register R_6 enthaltene Oktett übertragen worden ist. Hierzu ist nur eine

außerordentlich geringe Speicherkapazität erforderlich.

Wenn der Prozessor Pr des Rechners die Ausführung des Unterbrechungs-Unterprogramms beendet hat und von der Unterbrechereinheit In die Erlaubnis erhalten hat, die Ausführung des zuvor unterbrochenen Programms oder Unterprogramms an der Unterbrechungsstelle fortzusetzen, so schickt der Prozessor Pr über die Leitung a des Datenkanals L , die ebenfalls an einen, zweiten Eingang der Befehlsstufe A endet, aufeinanderfolgende Rechteckimpulse I aus, von denen jeder einerseits während seiner gesamten Dauer die an den Eingängen der Verteilerstufe A vorhandenen Informationen zu der ersten Gruppe von deren Ausgängen lenkt, d. h. zu den entsprechenden Übertragungsleitungen des Datenkanals L , und andererseits beim Erscheinen seiner hinteren Flanke die Aktivierung des Rückschalteneingangs d des binären Zählers C_0 bewirkt. Die Vorderflanke des ersten dieser aufeinanderfolgenden Impulse I ist somit ohne Einfluß auf den Inhalt des binären Zählers C_0 , der dann über den Decoder D die Adressierung des letzten zuvor angesteuerten Registers r_p bewirkt, dessen Inhalt anschließend über den Leseausgang s_p übertragen wird in die letzte Speicherungszone für ein Oktett des letzten Registers R_6 des Prozessors Pr , und zwar über die Verteilerstufe A und die Übertragungsleitungen des Datenkanals L , die an die erste Gruppe von Ausgängen von A angeschlossen sind. Wenn diese Übertragung des letzten zuvor im Reservespeicher M_1 registrierten Oktetts in Richtung auf den Prozessor beendet ist, bewirkt die hintere Flanke des Impulses I die Aktivierung des Rückschalteneingangs des Zählers C_0 , dessen Inhalt somit um eine Einheit vermindert wird. Dies bewirkt dann die Adressierung des Registers r_{p-1} des Speichers M_1 über den Decoder D . Beim Erscheinen des folgenden Impulses I auf der Leitung a wird das zweite in dem Register r_{p-1} registrierte Wort zum Prozessor Pr übertragen, auf die vorstehend beschriebene Weise, so daß dessen Wiedereinspeicherung in die vorletzte Einspeicherungszone für ein Oktett in dem Register R_6 bewirkt wird.

Die verschiedenen Oktetts, die zuvor in den verschiedenen Registern des Reservespeichers M_1 »gestapelt« wurden, werden somit eins nach dem anderen wieder in die verschiedenen Register R_6 bis R_0 des Prozessors Pr überführt, jedes genau an denjenigen Ort, den es vor der Unterbrechung des Programms oder Unterprogramms, die zu seiner Überführung in den Reservespeicher geführt hat, eingenommen hatte.

Bei der als Beispiel beschriebenen Ausführungsform, bei der bis zu sieben Hierarchie-Niveaus von Unterbrechungen vorgesehen sein können, kann es bei der Ausführung eines Unterprogramms mit sehr hohem Hierarchie-Niveau vorkommen, daß bis zu sieben verschiedene Inhalte der Register R_0 bis R_6 des Prozessors Pr in einem oder mehreren Reservespeichern gespeichert sind, und zwar in der Reihenfolge der aufeinanderfolgenden Programmunterbrechungen, wobei der zum Zeitpunkt der jeweils letzten Unterbrechung vorhandene Inhalt dieser Register in den höheren »Stapeln« des Registerstapels gespeichert ist. Wie groß aber die Anzahl der aufeinanderfolgenden Unterbrechungen auch sein mag, so ist für die Wiederaufnahme der zuvor unterbrochenen Unterprogramme und Programme keine Verwendung von Adressen erforderlich, die in der Zwischenzeit in einem oder mehreren Registern des Prozessors Pr hätten gespeichert werden müssen, da für die Wiederaufnahme des zuletzt unterbrochenen Pro-

gramms oder Unterprogramms es genügt, alle Register des Prozessors, beispielsweise mit einer Gesamtkapazität von m Oktetts, mit dem Inhalt der m höchsten Stufen oder »Stockwerke« des Reservespeichers zu füllen und diese Operation bei jeder erneuten Wiederaufnahme eines zuvor unterbrochenen Programms oder Unterprogramms zu wiederholen, wobei man jedesmal auf einen neuen Abschnitt von m Stockwerken des Reservespeichers zurückgreift, der unmittelbar unterhalb dem zuvor bei der letzten Wiederaufnahme geleerten Abschnitt liegt.

Die für die automatische Abfolge dieser Operationen notwendigen materiellen Einrichtungen wurden nicht alle dargestellt und brauchen nicht im einzelnen beschrieben zu werden, da sie dem Fachmann bekannt und geläufig sind.

In Fig. 1 sind ferner sieben Reihen von schnellen peripheren Einheiten $P_{10} \dots P_{19}, \dots P_{70} \dots P_{79}$ dargestellt, die jeweils mit den die Reservespeicher M_1 bis M_7 bildenden Registerstapeln verbunden sind, und zwar über Datenkanäle I_1 bis I_7 und Steuereinheiten C_{10} bis C_{79} , die ihrerseits Informationen mit dem Prozessor Pr über Abzweigungen L_1 bis L_7 des Hauptdatenkanals L austauschen. Dies zeigt, daß mindestens einige der Reservespeicher auch zeitweise in den Kanälen für den Informationsaustausch zwischen dem Rechner und den schnellen peripheren Einheiten verwendet werden können, wie dies in der eingangs erwähnten gleichzeitig eingereichten Anmeldung beschrieben ist. Die entsprechenden Mittel sind in Fig. 1 im unteren Teil im einzelnen angedeutet, ihre Beschreibung braucht jedoch hier nicht wiederholt zu werden. Im Falle der Anwendungen im Realzeitbetrieb, für die der Rechner der Erfindung vorgesehen ist, hat diese letztgenannte Anordnung den wichtigen Vorteil, daß der Prozessor nahezu vollständig von der Verwaltung der Datenein- und -ausgänge der schnellen peripheren Einheiten entlastet wird, die eine besonders umfangreiche Aufgabe darstellt; dies ermöglicht es, die Rechenleistung des Rechners beträchtlich herabzusetzen und sie exakt an den jeweils vorgesehenen Anwendungszweck im Realzeitbetrieb anzupassen.

Andererseits können mindestens einige der Reservespeicher M_1 bis M_7 des Rechners auch zeitweise als Zwischenspeicher für Zwischenresultate der Datenverarbeitung, für Unterparameterprogramme usw. verwendet werden, die zu diesen Zwischenspeichern über den Datenkanal L und das ODER-Gatter OU bzw. die Verteilerstufe A gelangen können (Fig. 2).

Diese beiden letztgenannten Anordnungen bzw. Ergänzungen, die in vorteilhafter Weise den Ausnutzungsgrad der Reservespeicher erheblich steigern und somit ihren Beitrag zu den Kosten erheblich herabsetzen, machen jedoch eine spezielle Handhabung der Adressen der verschiedenen Register der Reservespeicher erforderlich, da der Inhalt dieser Register nun nicht mehr homogen ist. Diese Handhabung der Adressen bleibt jedoch außerordentlich einfach, da für jeweils einen Informationsblock eine einzige Adresse, nämlich die Ordnungszahl des höchsten von ihm besetzten »Stockwerks«, ausreicht, gleichgültig ob dieser Informationsblock einem Inhalt oder Teilinhalt der Register R_0 bis R_6 des Prozessors Pr , einem von einer schnellen peripheren Einheit kommenden Block von Wörtern oder einem vom Prozessor übermittelten Zwischenresultat der Rechnung entspricht.

Hierzu 2 Blatt Zeichnungen

